

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-126476

(43)Date of publication of application : 11.05.1999

(51)Int.Cl.

G11C 11/401
 G11C 11/407
 G11C 11/406
 H01L 27/10
 H01L 27/108
 H01L 21/8242

(21)Application number : 09-290948

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 23.10.1997

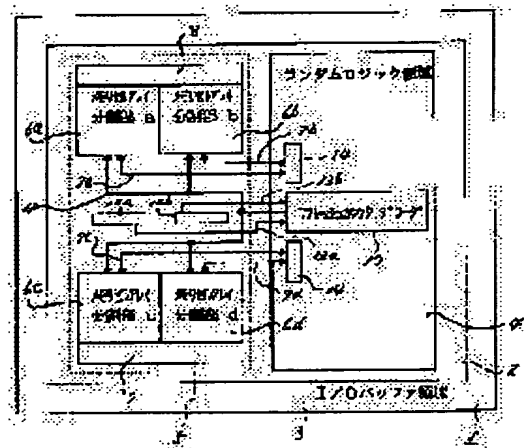
(72)Inventor : SATO HISAMUNE

(54) LOGIC SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE HAVING DRAM BUILT-IN

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a logic semiconductor integrated circuit having DRAM built-in of which the degree of freedom of layout is large.

SOLUTION: A memory cell array 6 having plural memory cells MC, plural word lines WL, plural pairs of bit line BL, /BL, plural sense amplifier SA-N, SA-P, and plural gate means TG is formed in a DRAM forming region 5. When the memory cell MC is refreshed, a refresh counter 10 outputting a word line selection signal at the time of refresh for selecting the prescribed word line WL from plural word lines WL is formed in a logic forming region 4 of a semiconductor substrate 1. An input/output buffer 14 for transmitting and receiving data in accordance with data transmitted by input/output lines 7a-7d is formed in the logic forming region 4 of the semiconductor substrate 1. Logic circuits such as an inverter circuit, an AND circuit, a OR circuit, a NAND circuit, a NOR circuit, a FLIP-FLOP circuit, and the like are formed in the logic forming region 4 of the semiconductor substrate 1.



LEGAL STATUS

[Date of request for examination]

13.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

引用例 1 の写し

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-126476

(43) 公開日 平成11年(1999) 5月11日

(51) Int.Cl. ⁹	識別記号	F I	
G 1 1 C 11/401		G 1 1 C 11/34	3 7 1 K
11/407		H 0 1 L 27/10	4 6 1
11/406		G 1 1 C 11/34	3 5 4 D
H 0 1 L 27/10	4 6 1		3 6 2 H
27/108			3 6 3 Z

審査請求 未請求 請求項の数19 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願平9-290948

(22) 出願日 平成 9 年(1997) 10月23日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 佐藤 久統

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

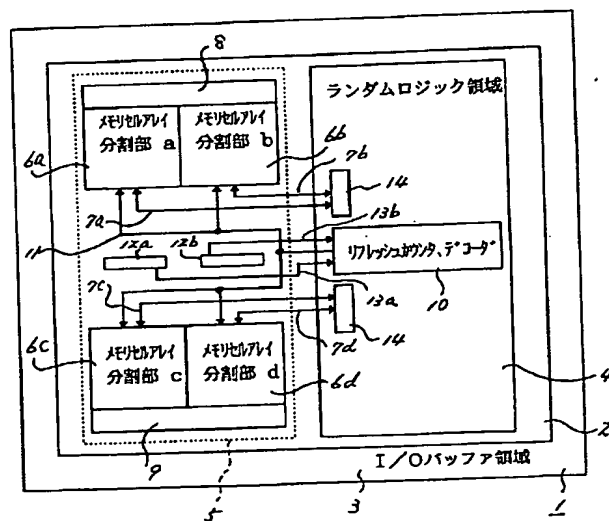
(74) 代理人 弁理士 宮田 金雄 (外 2 名)

(54) 【発明の名称】 DRAM内蔵ロジック半導体集積回路装置

(57) 【要約】

【課題】 レイアウトの自由度が大きいDRAM内蔵ロジック半導体集積回路装置を得る。

【解決手段】 複数のメモリアルMC、複数のワード線WL、複数のビット線対BL、／BL、複数のセンスアンプSA-N、SA-P、及び複数のゲート手段TGを有するメモリアルアレイ6が半導体基板1のDRAM形成領域5に形成される。メモリアルMCをリフレッシュする際に、複数のワード線WLから所定のワード線WLを選択するためのリフレッシュ時ワード線選択信号を出力するリフレッシュカウンタ10が半導体基板1のロジック形成領域4に形成される。入出力線7a〜7dにて伝達されるデータに応じたデータを送受するための入出力バッファ14が半導体基板1のロジック形成領域4に形成される。インバータ回路、アンド回路、オア回路、ナンド回路、ノア回路、及びフリップフロップ回路等の論理回路が半導体基板1のロジック形成領域4に形成される。



- 1 半導体基板、 2 中央領域、 3 周辺領域 (I/Oバッファ領域)
- 4 ランダムロジック形成領域、 5 メモリ形成領域
- 6 a〜6d メモリアルアレイ、 7 a〜7 d I/Oバス
- 8 第1の電圧発生回路、 9 第2の電圧発生回路、 10 制御回路
- 11 選択信号バス、 12 a、12 b 救済回路
- 13 a、13 b 駆動信号バス、 14 入出力バッファ

【特許請求の範囲】

【請求項1】 周辺領域と、ロジック形成領域及びDRAM形成領域とを有する中央領域とを具備する半導体基板、

複数行、複数列に配置され、それぞれが1つのトランジスタと1つのキャパシタによって構成される複数のメモリセルと、複数行に配設され、それぞれが対応の行に配設される複数のメモリセルに接続される複数のワード線と、複数列に配設され、それぞれが対応の列に配設される複数のメモリセルが接続される複数のビット線対と、複数列に配設され、それぞれが対応の列に配設されるビット線対に接続される複数のセンスアンプと、複数列に配設され、それぞれが対応の列に配設されるビット線対と所定の入出力線との間に接続される複数のゲート手段とを有し、上記半導体基板のDRAM形成領域に形成されるメモリセルアレイ、

行アドレス信号を受け、上記複数のワード線から所定のワード線を選択するためのワード線選択信号を出力する行デコーダ、

列アドレス信号を受け、上記複数のビット線対から所定のビット線対を選択するためのビット線対選択信号を上記ゲート手段に出力する列デコーダ、

上記メモリセルアレイにおけるメモリセルをリフレッシュする際に、上記複数のワード線から所定のワード線を選択するためのリフレッシュ時ワード線選択信号を出力し、上記半導体基板のロジック形成領域に形成されるリフレッシュカウンタ、

上記半導体基板のロジック形成領域に形成され、上記入出力線にて伝達されるデータに応じたデータを送受するための入出力バッファ、

上記半導体基板のロジック形成領域に形成され、インバータ回路、アンド回路、オア回路、ナンド回路、ノア回路、及びフリップフロップ回路等の論理回路を備えたDRAM内蔵ロジック半導体集積回路装置。

【請求項2】 上記行デコーダにおける論理回路によって構成される回路は、上記半導体基板のロジック形成領域に形成され、

上記列デコーダにおける論理回路によって構成される回路は、上記半導体基板のロジック形成領域に形成されることを特徴とする請求項1記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項3】 上記半導体基板のロジック形成領域には、ゲート電極が敷き詰められていることを特徴とする請求項1または請求項2記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項4】 上記メモリセルアレイは2分割されていることを特徴とする請求項1ないし請求項3のいずれかに記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項5】 上記メモリセルアレイは4分割されていることを特徴とする請求項1ないし請求項3のいずれかに

に記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項6】 上記4分割されたメモリセルアレイにおけるメモリセルアレイ分割部は、上記半導体基板の4隅に分割配置されていることを特徴とする請求項5記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項7】 上記メモリセルアレイは、ノーマル用メモリセルアレイ部の他に、複数行、複数列に配置され、それぞれが1つのトランジスタと1つのキャパシタによって構成される複数のリダグダンシー用メモリセルと、複数行に配設され、それぞれが対応の行に配設される複数のリダグダンシー用メモリセルに接続される複数のリダグダンシー用ワード線とを有し、各列に配設される複数のリダグダンシー用メモリセルが対応の列に配設される上記ビット線対に接続される行側リダグダンシー用メモリセルアレイ部をさらに有し、

上記行デコーダは、上記ノーマル用メモリセルアレイ部に対するワード線選択信号を出力するノーマル用デコード回路の他に、上記リダグダンシー用メモリセルアレイ部に対するリダグダンシー用ワード線選択信号を出力するリダグダンシー用デコード回路をさらに有し、

上記行デコーダのノーマル用デコード回路及びリダグダンシー用デコード回路に行置換信号を出力する行用救済回路を備えていることを特徴とする請求項1記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項8】 上記行デコーダのノーマル用デコード回路及びリダグダンシー用デコード回路それぞれは論理回路によって構成され、上記半導体基板のロジック形成領域に形成され、

上記行用救済回路は上記半導体基板のDRAM形成領域に形成されることを特徴とする請求項7記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項9】 上記メモリセルアレイにおけるノーマル用メモリセルアレイ部及び行側リダグダンシー用メモリセルアレイ部はそれぞれ2分割されていることを特徴とする請求項7または請求項8記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項10】 上記メモリセルアレイにおけるノーマル用メモリセルアレイ部及び行側リダグダンシー用メモリセルアレイ部はそれぞれ4分割されていることを特徴とする請求項7または請求項8記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項11】 上記4分割されたメモリセルアレイにおけるメモリセルアレイ分割部は、上記半導体基板の4隅に分割配置されていることを特徴とする請求項10記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項12】 上記メモリセルアレイは、ノーマル用メモリセルアレイ部の他に、複数行、複数列に配置され、それぞれが1つのトランジスタと1つのキャパシタによって構成される複数のリダグダンシー用メモリセルと、複数列に配設され、それぞれが対応の列に配設され

る複数のリダングダンシー用メモリセルが接続される複数のリダングダンシー用ビット線対と、複数列に配設され、それぞれが対応の列に配設されるリダングダンシー用ビット線対に接続されるリダングダンシー用センスアンプと、複数列に配設され、それぞれが対応の列に配設されるリダングダンシー用ビット線対と上記所定の入出力線との間に接続される複数のリダングダンシー用ゲート手段とを有し、各行に配設される複数のリダングダンシー用メモリセルが対応の行に配設されるワード線に接続される列側リダングダンシー用メモリセルアレイ部をさらに有し、上記列デコーダは、上記ノーマル用メモリセルアレイ部に対するビット線対選択信号を出力するノーマル用デコード回路の他に、上記リダングダンシー用メモリセルアレイ部に対するリダングダンシー用ビット線対選択信号を出力するリダングダンシー用デコード回路をさらに有し、上記列デコーダのノーマル用デコード回路及びリダングダンシー用デコード回路に列置換信号を出力する列用救済回路を備えていることを特徴とする請求項1記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項13】 上記列デコーダのノーマル用デコード回路及びリダングダンシー用デコード回路それぞれは論理回路によって構成され、上記半導体基板のロジック形成領域に形成され、

上記列用救済回路は上記半導体基板のDRAM形成領域に形成されることを特徴とする請求項12記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項14】 上記メモリセルアレイにおけるノーマル用メモリセルアレイ部及び列側リダングダンシー用メモリセルアレイ部はそれぞれ2分割されていることを特徴とする請求項12または請求項13記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項15】 上記メモリセルアレイにおけるノーマル用メモリセルアレイ部及び列側リダングダンシー用メモリセルアレイ部はそれぞれ4分割されていることを特徴とする請求項12または請求項13記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項16】 上記4分割されたメモリセルアレイにおけるメモリセルアレイ分割部は、上記半導体基板の4隅に分割配置されていることを特徴とする請求項15記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項17】 周辺領域と、ロジック形成領域及びDRAM形成領域とを有する中央領域とを具備する半導体基板、

複数行、複数列に配置され、それぞれが1つのトランジスタと1つのキャパシタによって構成される複数のメモリセルと、複数行に配設され、それぞれが対応の行に配設される複数のメモリセルに接続される複数のワード線と、複数列に配設され、それぞれが対応の列に配設される複数のメモリセルが接続される複数のビット線対と、複数列に配設され、それぞれが対応の列に配設されるビ

ット線対に接続されるセンスアンプと、複数列に配設され、それぞれが対応の列に配設されるビット線対と所定の入出力線との間に接続される複数のゲート手段とを有し、上記半導体基板のDRAM形成領域に形成されるメモリセルアレイ、

上記半導体基板のロジック形成領域に形成される論理回路によって構成される回路を有し、行アドレス信号を受け、上記複数のワード線から所定のワード線を選択するためのワード線選択信号を出力する行デコーダ、

上記半導体基板のロジック形成領域に形成される論理回路によって構成される回路を有し、列アドレス信号を受け、上記複数のビット線対から所定のビット線対を選択するためのビット線対選択信号を上記ゲート手段に出力する列デコーダ、

上記半導体基板のロジック形成領域に形成され、上記入出力線にて伝達されるデータに応じたデータを送受するための入出力バッファ、

上記半導体基板のロジック形成領域に形成され、アンド回路、オア回路、ナンド回路、ノア回路、及びフリップフロップ回路等の論理回路を備えたDRAM内蔵ロジック半導体集積回路装置。

【請求項18】 上記メモリセルアレイは、ノーマル用メモリセルアレイ部の他に、複数行、複数列に配置され、それぞれが1つのトランジスタと1つのキャパシタによって構成される複数のリダングダンシー用メモリセルと、複数行に配設され、それぞれが対応の行に配設される複数のリダングダンシー用メモリセルに接続される複数のリダングダンシー用ワード線とを有し、各列に配設される複数のメモリセルが対応の列に配設される上記ビット線対に接続される行側リダングダンシー用メモリセルアレイ部をさらに有し、

上記行デコーダは、上記ノーマル用メモリセルアレイ部に対するワード線選択信号を出力するノーマル用デコード回路の他に、上記リダングダンシー用メモリセルアレイ部に対するリダングダンシー用ワード線選択信号を出力するリダングダンシー用デコード回路をさらに有し、

上記半導体基板のDRAM形成領域に形成され、上記行デコーダのノーマル用デコード回路及びリダングダンシー用デコード回路に行置換信号を出力する行用救済回路を備えていることを特徴とする請求項17記載のDRAM内蔵ロジック半導体集積回路装置。

【請求項19】 上記メモリセルアレイは、ノーマル用メモリセルアレイ部の他に、複数行、複数列に配置され、それぞれが1つのトランジスタと1つのキャパシタによって構成される複数のリダングダンシー用メモリセルと、複数列に配設され、それぞれが対応の列に配設される複数のリダングダンシー用メモリセルが接続される複数のリダングダンシー用ビット線対と、複数列に配設され、それぞれが対応の列に配設されるリダングダンシー用ビット線対に接続されるリダングダンシー用センスアンプと、

複数列に配設され、それぞれが対応の列に配設されるリダグンダンシー用ビット線対と上記所定の入出力線との間に接続される複数のリダグンダンシー用ゲート手段とを有し、各行に配設される複数のリダグンダンシー用メモリセルが対応の行に配設されるワード線に接続される列側リダグンダンシー用メモリセルアレイ部をさらに有し、上記列デコーダは、上記ノーマル用メモリセルアレイ部に対するビット線対選択信号を出力するノーマル用デコード回路の他に、上記リダグンダンシー用メモリセルアレイ部に対するリダグンダンシー用ビット線対選択信号を出力するリダグンダンシー用デコード回路をさらに有し、上記半導体基板のDRAM形成領域に形成され、上記列デコーダのノーマル用デコード回路及びリダグンダンシー用デコード回路に列置換信号を出力する列側救済回路を備えていることを特徴とする請求項1記載のDRAM内蔵ロジック半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えば、論理回路によって構成されるマクロセルと呼ばれる機能ブロックに基づいて構成される専用機能を持った半導体集積回路に、ダイナミックランダムアクセスメモリ（以下、DRAMと称す。）を組み込んだDRAM内蔵ロジック半導体集積回路装置に関するものである。

【0002】

【従来の技術】近年、半導体集積回路装置の大規模化に伴い、種々の半導体集積回路装置が提案されている。特に、大容量メモリとロジックを融合させた半導体集積回路装置、具体的には、DRAMとロジックを1チップに搭載し、その間をバスで接続して大量のデータを高速に処理できるDRAM内蔵ロジック半導体集積回路装置が脚光を浴びている。

【0003】この種、DRAM内蔵ロジック半導体集積回路装置は、DRAM部分とロジック部分とを分けて1つの半導体基板に形成し、DRAM部分とロジック部分とを単にバスにて接続するのが、一般的である。

【0004】

【発明が解決しようとする課題】しかるに、このように、完全にDRAM部分とロジック部分とを分けてレイアウトし、形成したものにあっては、DRAM部分の配置、サイズ（メモリ容量）に制約を受け、レイアウトの自由度が乏しく、チップサイズの変更がし難いものであった。また、DRAM部分からの出力データのビット数を変更、つまり、バス幅を変更する場合、DRAM部分の内部回路の変更、修正を有する為、変更に要する時間がかかなり必要であった。

【0005】この発明は上記した点に鑑みてなされたものであり、レイアウトの自由度が大きいDRAM内蔵ロジック半導体集積回路装置を得ることを目的とする。第2の目的は、DRAM部分のサイズ（メモリ容量）にチ

ップサイズがあまり影響を受けないDRAM内蔵ロジック半導体集積回路装置を得ることである。第3の目的は、DRAM部分からの出力データのビット数を変更しても、容易に変更、修正が可能であり、変更に要する期間が短いDRAM内蔵ロジック半導体集積回路装置を得ることである。

【0006】

【課題を解決するための手段】第1の発明に係るDRAM内蔵ロジック半導体集積回路装置は、複数のメモリセル、複数のワード線、複数のビット線対、複数のセンスアンプ、及び複数のゲート手段を有するメモリセルアレイが半導体基板のDRAM形成領域に形成され、メモリセルアレイにおけるメモリセルをリフレッシュする際に、複数のワード線から所定のワード線を選択するためのリフレッシュ時ワード線選択信号を出力するリフレッシュカウンタが半導体基板のロジック形成領域に形成され、入出力線にて伝達されるデータに応じたデータを送受するための入出力バッファが半導体基板のロジック形成領域に形成され、インバータ回路、アンド回路、オア回路、ナンド回路、ノア回路、及びフリップフロップ回路等の論理回路が半導体基板のロジック形成領域に形成される。

【0007】第2の発明に係るDRAM内蔵ロジック半導体集積回路装置は、第1の発明に対して、さらに、複数のワード線から所定のワード線を選択するためのワード線選択信号を出力する行デコーダにおける論理回路によって構成される回路が半導体基板のロジック形成領域に形成され、複数のビット線対から所定のビット線対を選択するためのビット線対選択信号をゲート手段に出力する列デコーダにおける論理回路によって構成される回路が半導体基板のロジック形成領域に形成される。

【0008】第3の発明に係るDRAM内蔵ロジック半導体集積回路装置は、第1の発明に対して、さらに、行デコーダがノーマル用及びリダグンダンシー用デコード回路を、又は／及び列デコーダがノーマル用及びリダグンダンシー用デコード回路を有し、論理回路によって構成されるノーマル用及びリダグンダンシー用デコード回路が半導体基板のロジック形成領域に形成され、ノーマル用及びリダグンダンシー用デコード回路に置換信号を出力する救済回路が半導体基板のDRAM形成領域に形成される。

【0009】第4の発明に係るDRAM内蔵ロジック半導体集積回路装置は、複数のメモリセル、複数のワード線、複数のビット線対、複数のセンスアンプ、及び複数のゲート手段を有するメモリセルアレイが半導体基板のDRAM形成領域に形成され、複数のワード線から所定のワード線を選択するためのワード線選択信号を出力する行デコーダにおける論理回路によって構成される回路が半導体基板のロジック形成領域に形成され、複数のビット線対から所定のビット線対を選択するためのビット

線対選択信号をゲート手段に出力する列デコーダにおける論理回路によって構成される回路が半導体基板のロジック形成領域に形成され、入出力線にて伝達されるデータに応じたデータを送受するための入出力バッファが半導体基板のロジック形成領域に形成され、インバータ回路、アンド回路、オア回路、ナンド回路、ノア回路、及びフリップフロップ回路等の論理回路が半導体基板のロジック形成領域に形成される。

【0010】第5の発明に係るDRAM内蔵ロジック半導体集積回路装置は、第1の発明に対して、さらに、行デコーダがノーマル用デコード回路の他にリダンダンシー用を、又はノーマル用デコーダがノーマル用デコード回路の他にリダンダンシー用デコード回路を有し、論理回路によって構成されるノーマル用及びリダンダンシー用デコード回路が半導体基板のロジック形成領域に形成され、ノーマル用及びリダンダンシー用デコード回路に置換信号を出力する救済回路が半導体基板のDRAM形成領域に形成される。

【0011】

【発明の実施の形態】

実施の形態1. 図1ないし図12はこの発明の実施の形態1を示す図である。図1は実施の形態1におけるDRAM内蔵ロジック半導体集積回路装置、例えばハードディスクコントローラ（ハードディスクの読み書きを制御する）を構成する半導体集積回路装置の全体構成図を示す図である。図1において1はロジック形成領域（ランダムロジック形成領域）4及びDRAM形成領域（メモリ形成領域）5とを有する中央領域2と、周辺領域（I/Oバッファ領域）3とを具備する半導体基板である。ランダムロジック形成領域4とメモリ形成領域5とは行方向（図示左右方向）に沿って配置される。

【0012】ランダムロジック形成領域4は、この実施の形態1ではECA（Embedded Cell Array）方式又はセルベース方式によって、インバータ回路、アンド回路、オア回路、ナンド回路、ノア回路、及びフリップフロップ回路等の論理回路をマクロセルと呼ばれる機能ブロックが配置される領域である。従って、ランダムロジック形成領域4には、その全面に、一般にECA方式又はセルベース方式として知られているように、P型MOSトランジスタのゲート電極とN型MOSトランジスタのゲート電極が敷き詰められる。

【0013】6aないし6dはそれぞれ上記半導体基板1のメモリ形成領域5に形成されるメモリセルアレイを構成する第1ないし第4のメモリセルアレイ分割部で、この実施の形態1では1Mビットのメモリセルアレイを4分割したものを示している。第1及び第2のメモリセルアレイ分割部6a、6bは上記メモリ形成領域5における図示上側に方向に沿って配置される。第3及び第4のメモリセルアレイ分割部6c、6dは上記メモリ形成領域5における図示下側に方向に沿って配置され

る。第1及び第2のメモリセルアレイ分割部6a、6bと第3及び第4のメモリセルアレイ分割部6c、6dは上記メモリ形成領域5に列方向（図示上下方向）に沿って配置される。各メモリセルアレイ分割部6a～6dはメガセルとしてのブロックを構成し、上記半導体基板1へのレイアウトにおいて、メガセルとして扱われる。

【0014】各メモリセルアレイ分割部6a～6dは、図2及び図3を用いて詳細を後記するが、複数行、複数列（この実施の形態1では1024行、256列）に配置され、それぞれが1つのトランジスタと1つのキャパシタによって構成される複数のメモリセルと、複数行に配設され、それぞれが対応の行に配設される複数のメモリセルに接続される複数のワード線と、複数列に配設され、それぞれが対応の列に配設される複数のメモリセルが接続される複数のビット線対と、複数列に配設され、それぞれが対応の列に配設されるビット線対に接続される複数のセンスアンプと、複数列に配設され、それぞれが対応の列に配設されるビット線対と所定の入出力線との間に接続される複数のゲート手段とを有するノーマル用メモリセルアレイ部を備えている。

【0015】このノーマル用メモリセルアレイ部は、この実施の形態1ではそれぞれが1024行、32列からなる8個のメモリブロックに分割される。上記入出力線は、この実施の形態1では32本である。なお、この実施の形態1では、32本の入出力線を総称して入出力（I/O）バス7a～7dと称する。

【0016】また、各メモリセルアレイ分割部6a～6dは、図2及び図3を用いて詳細を後記するが、ノーマル用メモリセルアレイ部の他に、さらに、行側リダンダンシー用メモリセルアレイ部及び列側リダンダンシー用メモリセルアレイ部（リダンダンシーメモリブロック）を有している。上記各行側リダンダンシー用メモリセルアレイ部は、複数行、複数列（この実施の形態1では4行、256列（ノーマル用メモリセルアレイ部の256列に対応））に配置され、それぞれが1つのトランジスタと1つのキャパシタによって構成される複数のリダンダンシー用メモリセルと、複数行に配設され、それぞれが対応の行に配設される複数のリダンダンシー用メモリセルに接続される複数のリダンダンシー用ワード線とを有する。各列に配設される複数のリダンダンシー用メモリセルが対応の列に配設されるノーマル用メモリセルアレイ部のビット線対に接続される。

【0017】上記各列側リダンダンシー用メモリセルアレイ部は、複数行、複数列（この実施の形態1では1024行+4行（ノーマル用メモリセルアレイ部の1024行及び行側リダンダンシー用メモリセルアレイ部の4行に対応）、32列）に配置され、それぞれが1つのトランジスタと1つのキャパシタによって構成される複数のリダンダンシー用メモリセルと、複数列に配設され、それぞれが対応の列に配設される複数のリダンダンシー

用メモリセルが接続される複数のリダングダンシー用ビット線対と、複数列に配設され、それぞれが対応の列に配設されるリダングダンシー用ビット線対に接続されるリダングダンシー用センスアンプと、複数列に配設され、それぞれが対応の列に配設されるリダングダンシー用ビット線対とI/Oバス7a~7dにおける所定の入出力線との間に接続される複数のリダングダンシー用ゲート手段とを有する。各行に配設される複数のリダングダンシー用メモリセルが対応の行に配設されるワード線またはリダングダンシー用ワード線に接続される。

【0018】8は第1の電圧発生回路で、上記半導体基板1のメモリ形成領域5に、上記第1及び第2のメモリセルアレイ分割部6a、6bに対して列方向外側(図示上側)に形成される。この第1の電圧発生回路8は、上記半導体基板1に対して基板電位を与えるための基板電位発生回路、上記メモリセルに対するセルフプレート電圧を与えるためのセルフプレート電圧発生回路、上記ワード線に対して電源電圧より高い電圧を与えるためのワード線電位発生回路などにより構成される。また、第1の電圧発生回路7はメガセルとしてのブロックを構成し、上記半導体基板1へのレイアウトにおいて、メガセルとして扱われる。

【0019】9は第2の電圧発生回路で、上記半導体基板1のメモリ形成領域5に、上記第3及び第4のメモリセルアレイ分割部6a、6bに対して列方向外側(図示下側)に形成される。この第2の電圧発生回路9は上記メモリセルアレイにおけるビット線対に対してプリチャージ電圧(電源電圧(Vcc)の1/2)を与えるためのビットライン電圧発生回路などにより構成される。第2の電圧発生回路9はメガセルとしてのブロックを構成し、上記半導体基板1へのレイアウトにおいて、メガセルとして扱われる。

【0020】10はDRAMの制御回路で、この実施の形態1では、リフレッシュカウンタ、行デコーダにおける論理回路、及び列デコーダにおける論理回路である。制御回路10は上記半導体基板1のランダムロジック形成領域4に形成される。制御回路10を構成するリフレッシュカウンタ、行デコーダにおける論理回路、及び列デコーダにおける論理回路を構成する最小単位であるインバータ回路、アンド回路、オア回路、ナンド回路、ノア回路、及びフリップフロップ回路等の論理回路は、上記半導体基板1へのレイアウトにおいて、マクロセルとして扱われる。

【0021】なお、上記リフレッシュカウンタは、図5を用いて詳細を後記するが、上記メモリセルアレイにおけるメモリセルをリフレッシュする際に、上記複数のワード線から所定のワード線、またはリダングダンシー用ワード線を選択するためのリフレッシュ時ワード線選択信号を選択信号バス11における所定の選択信号線を介してそれぞれのメモリセルアレイ分割部6a~6dのワー

ド線もしくはリダングダンシー用ワード線に出力する。

【0022】上記行デコーダは、図6ないし図9を用いて詳細を後記するが、上記ノーマル用メモリセルアレイ部に対するノーマル用行デコード回路と上記行側リダングダンシー用メモリセルアレイ部に対するリダングダンシー用行デコード回路とを有する。ノーマル用行デコード回路は行アドレス信号を受け、上記ノーマル用メモリセルアレイ部における複数のワード線から所定のワード線を選択するためのワード線選択信号を選択信号バス11における所定の選択信号線を介してそれぞれのメモリセルアレイ分割部6a~6dのワード線に出力する。また、リダングダンシー用行デコード回路はスベアロウ選択信号を受け、上記行側リダングダンシー用メモリセルアレイ部における複数のリダングダンシー用ワード線を選択するためのリダングダンシー用ワード線選択信号を選択信号バス11における所定の選択信号線を介してそれぞれのメモリセルアレイ分割部6a~6dのリダングダンシー用ワード線に出力する。

【0023】上記列デコーダは、図9ないし図11を用いて詳細を後記するが、上記ノーマル用メモリセルアレイ部に対するノーマル用列デコード回路と上記列側リダングダンシー用メモリセルアレイ部(リダングダンシーメモリブロック)に対するリダングダンシー用列デコード回路とを有する。ノーマル用列デコード回路は列アドレス信号を受け、上記ノーマル用メモリセルアレイ部における複数のビット線対から所定のビット線対を選択するためのビット線対選択信号を選択信号バス11における所定の選択信号線を介してそれぞれのメモリセルアレイ分割部6a~6dのゲート手段に出力する。また、リダングダンシー用列デコード回路はスベアコラム選択信号(リダングダンシーメモリブロック選択信号)を受け、上記列側リダングダンシー用メモリセルアレイ部におけるリダングダンシー用ビット線対を選択するためのリダングダンシー用ビット線対選択信号を選択信号バス11における所定の選択信号線を介してそれぞれのメモリセルアレイ分割部6a~6dのリダングダンシー用ゲート手段に出力する。

【0024】12aは上記行デコーダのノーマル用デコード回路及びリダングダンシー用デコード回路に行置換信号を置換信号バス13aを介して出力する行用救済回路で、一般に知られているようにプログラム可能なヒューズ素子及びMOSトランジスタによって構成されている。行用救済回路12aはある行をスベア行に置換する場合、ある行に対する行アドレスに基づいてプログラムされ、プログラムされた行アドレスに相当する行アドレス信号RA0~RA9が入力されると、置換を意味する行置換信号RRC及び反転行アドレス信号/RRCを行デコーダに出力するとともに、置換された行が存在するメモリセルアレイ分割部6a~6dに対するスベアロウ選択信号SRA0(1)~SRA0(4)、SRA1

(1)~SRA1(4)を対応のリダングダンシー用行

デコーダに出力する。行用救済回路12aは第1及び第2のメモリセルアレイ分割部6a、6bと第3及び第4のメモリセルアレイ分割部6a、6bとの間における上記半導体基板1のメモリ形成領域5に形成される。また、行用救済回路12aはメガセルとしてのブロックを構成し、上記半導体基板1へのレイアウトにおいて、メガセルとして扱われる。

【0025】12bは上記列デコーダのノーマル用デコード回路及びリダンダンシー用デコード回路に列置換信号を置換信号バス13bを介して出力する列用救済回路で、一般に知られているようにプログラム可能なヒューズ素子及びMOSトランジスタによって構成されている。行用救済回路12aはあるメモリブロックをリダンダンシー用メモリブロックに置換する場合、あるメモリブロックに対する列アドレスに基づいてプログラムされ、プログラムされた列アドレスに相当する列アドレス信号CA0～CA2が入力されると、置換を意味する列置換信号CRC及び反転行アドレス信号/CRCを列デコーダに出力するとともに、置換されたメモリブロックが存在するメモリセルアレイ分割部6a～6dに対するスペアコラム選択信号SCA(1)～SCA(4)を対応のリダンダンシー用列デコーダに出力する。列用救済回路12bは第1及び第2のメモリセルアレイ分割部6a、6bと第3及び第4のメモリセルアレイ分割部6a、6bとの間における上記半導体基板1のメモリ形成領域5に、行用救済回路12aに対して列方向に沿って形成される。また、列用救済回路12bはメガセルとしてのブロックを構成し、上記半導体基板1へのレイアウトにおいて、メガセルとして扱われる。

【0026】14は上記I/Oバス7a～7dそれぞれを介して伝達されるデータを送受するための入出力バッファで、上記半導体基板1のランダムロジック形成領域4に形成される。入出力バッファ14は各メモリセルアレイ分割部6に対するI/Oバス7の入出力線の数と同数(この実施の形態1では32×4個)の入力バッファと出力バッファとを有する。各入力バッファ及び各出力バッファは、例えば電源電位ノードと接地電位ノードとの間に直列接続されるP型MOSトランジスタとN型MOSトランジスタからなるインバータ回路が偶数段縦続接続されたもので構成される。入出力バッファ14における入力バッファ及び出力バッファそれぞれを構成するインバータ回路は、上記半導体基板1へのレイアウトにおいて、マクロセルとして扱われる。

【0027】次に、各メモリセルアレイ分割部6a～6dについて図2及び図3を用いて詳細に説明する。各メモリセル分割部6a～6dはそれぞれ同じ構成をしている。従って、図2は代表して1つのメモリセル分割部(以下、符号6として説明する)を示している。図2において、21a～21hはそれぞれメモリセル分割部6におけるノーマル用メモリセルアレイ部20を8分割さ

れたメモリブロック#0～#7で、それぞれ同じ構成をしている。各メモリブロック21は上記でも述べたようにこの実施の形態1では1024行、32列によって構成され、詳細は図3を用いて後記する。22は行側リダンダンシー用メモリセルアレイ部で、上記でも述べたようにこの実施の形態1では4行、256列によって構成され、詳細は図3を用いて後記する。23は列側リダンダンシー用メモリセルアレイ部(リダンダンシーメモリブロック)で、上記でも述べたようにこの実施の形態1では1028行、32列によって構成され、上記メモリブロック21a～21hと実質的に同じ構成をとっている。

【0028】24はメモリセルアレイ分割部6に対応して設けられ、メモリブロック21a～21h及びリダンダンシーメモリブロック23に対するノーマル用行デコード回路と行側リダンダンシー用メモリセルアレイ部22に対するリダンダンシー用行デコード回路とを有する行デコーダである。この行デコーダ24は行アドレス信号及びスペアロウ選択信号を受けて、複数のワード線及び複数のリダンダンシー用ワード線のいずれか1本のワード線を選択して活性化する。行デコーダ24は対応のメモリセルアレイ分割部6に近接してメモリ形成領域5に形成される。行デコーダ24はメガセルとしてのブロックを構成し、上記半導体基板1へのレイアウトにおいて、メガセルとして扱われる。

【0029】25はメモリセルアレイ分割部6に対応して設けられ、メモリブロック21a～21hに対するノーマル用列デコード回路とリダンダンシーメモリブロック23に対するリダンダンシー用列デコード回路とを有する列デコーダである。この列デコーダ25は列アドレス信号及びリダンダンシーメモリブロック選択信号を受けて、メモリブロック21a～21h及びリダンダンシーメモリブロック23のいずれか1つのブロックを選択する。列デコーダ25は対応のメモリセルアレイ分割部6に近接してメモリ形成領域5に形成される。列デコーダ25はメガセルとしてのブロックを構成し、上記半導体基板1へのレイアウトにおいて、メガセルとして扱われる。

【0030】26……26は各メモリブロック21の複数列に対応して設けられ、それぞれが対応のトランスファゲートTG0～TG31を介して対応のビット線対に接続される複数の入出力線対である。27……27はこれら複数の入出力線対26に対応して設けられ、それぞれが対応の入出力線対27と上記対応のI/Oバス7における対応の入出力線との間に接続される複数のアンプである。各アンプ27は対応の入出力線対27に現れた電位差を増幅し、電位差に基づいてHレベルの電位またはLレベルの電位を対応の入出力線7に出力する。

【0031】次に、各メモリブロック21及びリダンダンシーメモリブロック23について図3を用いて詳細に

説明する。各メモリブロック21及び23はそれぞれ同じ構成をしている。従って、図3は代表して1つのメモリブロック21を示している。図3において、MC……MCは複数行、複数列（この実施の形態1では1024行、32列）に配置される複数のメモリセルである。各メモリセルMCは、図4に示すように1つのトランジスタTrと1つのキャパシタCによって構成される。キャパシタCの一方の電極には、第1の電圧発生回路8におけるセルプレート電圧発生回路からのセルプレート電圧Vcpが与えられる。RMCは複数行、複数列（この実施の形態1では4行、32列）に配置される複数のリダグンシー用メモリセルである。各リダグンシー用メモリセルRMCは上記メモリセルMCと同様に図4に示した構成をしている。

【0032】WL0～WL1023は複数行（この実施の形態1では1024行）に配設され、それぞれが対応の行に配設される複数のメモリセルMCに接続される複数のワード線である。各ワード線WLは対応の行デコーダ24のノーマル用行デコード回路における対応のデコード回路部RD0～RD1023によって活性化される。つまり、選択されたワード線WLはHレベルにされ、非選択のワード線WLはLレベルを維持される。RWL0～RWL3は複数行（この実施の形態1では4行）に配設され、それぞれが対応の行に配設される複数のリダグンシー用メモリセルRMCに接続される複数のリダグンシー用ワード線である。各リダグンシー用ワード線RWLは対応の行デコーダ24のリダグンシー用行デコード回路RRDによって活性化される。つまり、選択されたリダグンシー用ワード線WLはHレベルにされ、非選択のリダグンシー用ワード線WLはLレベルを維持される。

【0033】BL0、/BL0～BL31、/BL31は複数列（この実施の形態1では32列）に配設され、それぞれが対応の列に配設される複数のメモリセルMC及び対応の列に配設される複数のメモリセルRMCが接続される複数のビット線対である。

【0034】SA-N0からSA-N31は複数列に配設され、それぞれが対応の列に配設されるビット線対BL、/BLに接続される複数のセンス手段で、対応のビット線対BL、/BLに現れた電位を検知し、低い電位の方のビット線電位を低く（略接地電位GND）する。各センス手段SA-Nは、たすきがけ接続された一対のN型MOSトランジスタによって構成される。SA-P0からSA-P31は複数列に配設され、それぞれが対応の列に配設されるビット線対BL、/BLに接続される複数のプルアップ手段で、対応のビット線対BL、/BLに現れた電位を検知し、高い電位の方のビット線電位を高く（略電源電位Vcc）する。各プルアップ手段SA-Pは、たすきがけ接続された一対のP型MOSトランジスタによって構成される。対応の列に配設されたセン

ス手段SA-N及びプルアップ手段SA-Pは、対応の列に配設されたビット線対BL、/BLに現れた電位差を検知し、増幅するセンスアンプを構成する。

【0035】TG0～TG31は複数列に配設され、それぞれが対応の列に配設されるビット線対BL、/BLと対応の入出力線対26との間に接続される複数のゲート手段で、列デコーダ25の対応の列デコード回路CD0～CD7、RCDからのビット線対選択信号を選択信号バス11の対応の選択信号線を介して受け、受けたビット線対選択信号にて対応のビット線対BL、/BLと対応の入出力線対26とを電氣的に導通状態もしくは非導通状態にする。各ゲート手段TGは対応のビット線対BL、/BLと対応の入出力線対26との間に接続され、ゲート電極が対応の選択信号線に接続される一対のN型MOSトランジスタによって構成される。なお、この実施の形態1では、各メモリブロック21に対応して列デコーダ25の各デコード回路CDが設けられる。各メモリブロック21における全てのゲート手段TG0～TG31は対応の列デコード回路CDによって導通状態、非導通状態を同じに制御される。また、リダグンシーメモリブロック23に対応して列デコーダの列デコード回路RCDが設けられる。リダグンシーメモリブロック23における全てのゲート手段TG0～TG31は対応の列デコード回路RCDによって導通状態、非導通状態を同じに制御される。

【0036】EQ0～EQ31は複数列に配設され、それぞれが、プリチャージ期間に対応の列に配設されるビット線対BL、/BLのビット線電位を同電位（この実施の形態1では $1/2 V_{cc}$ ）にするイコライズ手段である。各イコライズ手段EQは、対応のビット線対BL、/BL間に直列接続され、ゲート電極にプリチャージ信号φEを受ける2個のN型MOSトランジスタと、これらMOSトランジスタの接続点に一方の主電極が接続されるとともに、他方の主電極に上記第2の電圧発生回路9を構成するビットライン電圧発生回路9aからのプリチャージ電圧を受け、ゲート電極にプリチャージ信号φEを受けるN型MOSトランジスタとによって構成される。

【0037】TN0～TN31は複数列に配設され、それぞれが対応の列に配設されるセンス手段SA-Nを活性化するセンス活性化手段である。各センス活性化手段TNは対応のセンス手段SA-Nと接地電位にされる接地電位ノードとの間に接続され、ゲート電極にセンス活性化信号φNを受けるN型MOSトランジスタによって構成される。TP0～TP31は複数列に配設され、それぞれが対応の列に配設されるプルアップ手段SA-Pを活性化するプルアップ活性化手段である。各プルアップ活性化手段TPは対応のプルアップ手段SA-Pと電源電位Vccが与えられる電源電位ノードとの間に接続され、ゲート電極にプルアップ活性化信号φPを受けるP

型MOSトランジスタによって構成される。

【0038】次に、図5を用いてDRAMの制御手段10の一つを構成するリフレッシュカウンタについて説明する。図5において、F/F0～F/F1023は縦続接続されたD型フリップフロップである。各フリップフロップF/FはT入力端にクロック信号CLKを受け、初段のフリップフロップF/F0の入力端Dは最終段のフリップフロップF/F1023の出力端Oに接続され、2段目以降のフリップフロップF/F1～F/F1023の入力端Oは前段のフリップフロップF/F0～F/F1022の出力端に接続される。フリップフロップF/F0～F/F1023はリングオシレータを構成する。各フリップフロップF/Fの出力端Oは各メモリセル分割部6における対応のワード線WLに選択信号バス11における所定の選択信号線を介して接続され、その出力信号OUT0～OUT1023によってワード線WL0～WL1023をクロック信号CLKに同期して順次活性化(Hレベルに)させる。

【0039】このようにDRAMのリフレッシュカウンタはフリップフロップF/Fによって構成されているため、各フリップフロップF/Fをマクロセルとして半導体基板1のランダムロジック形成領域4に形成される。なお、ある行がスベア行に置換されている場合は、ある行のワード線WLに対するフリップフロップF/Fの出力端が置換されたスベア行におけるリダンダンシー用ワード線RWLに接続される。また、フリップフロップF/F1023の後段にリダンダンシー用としてリダンダンシー用ワード線RWLの数に応じたフリップフロップをさらに追加し、ある行がスベア行に置換されているか否かに係らず、全てのワード線WL及び全てのリダンダンシー用ワード線RWLが順次活性化される構成としてもよい。

【0040】次に、図6ないし図9を用いてDRAMの制御手段10の一つを構成する行デコード24を説明する。図6において、24a～24dはそれぞれメモリセルアレイ分割部6a～6dに対応して設けられる行デコードである。各行デコード24はノーマル用メモリセルアレイ部20に対するノーマル用行デコード回路100と行側リダンダンシー用メモリセルアレイ部22に対するリダンダンシー用行デコード回路200とを有する。

【0041】各ノーマル用行デコード回路100は行用救済回路12aからの対応のメモリセルアレイ分割部6における行置換信号RRCを置換信号バス13aを介して受けるとともに、行アドレス信号RA0～RA9を受け、入力された行置換信号RRCが置換を意味していない時に活性化され、入力された行アドレス信号RA0～RA9に基づいて対応のメモリセルアレイ分割部6における複数のワード線WL0～WL1023に対して所定のワード線WLを選択するためのワード線選択信号を出力する。各リダンダンシー用行デコード回路200は行

用救済回路12aからの対応のメモリセルアレイ分割部6における反転行置換信号/RRCを置換信号バス13aを介して受けるとともに、対応のメモリセルアレイ分割部6に対するスベアロウ選択信号SRA0、SRA1を受け、入力された反転行置換信号/RRCが置換を意味している時に活性化され、入力されたスベアロウ選択信号SRA0、SRA1に基づいて複数のリダンダンシー用ワード線RWL0～RWL3に対して所定のリダンダンシー用ワード線RWLを選択するためのリダンダンシー用ワード線選択信号を出力する。

【0042】各ノーマル用行デコード回路100は図7に示すように主回路101とドライバ回路102とによって構成される。主回路101は複数の行アドレス信号RA0～RA9に対応したインバータ103(0)～103(9)と対応のメモリセルアレイ分割部6における複数のワード線WL0～WL1023に対応した第1及び第2のアンド回路104(0)～104(1023)、105(0)～105(1023)とによって構成される。各インバータ103は対応の行アドレス信号RAを受け、入力される行アドレス信号RAの反転行アドレス信号/RRAを出力する。

【0043】各第1のアンド回路104は、入力される複数の行アドレス信号RA0～RA9が図8に示す行デコード真理値表に基づいた値になると“1”を出力するように、複数の行アドレス信号RA0～RA9を受け、例えば、第1のアンド回路104(0)は行アドレス信号“0000000000”を受けた時に“1”を出力するように複数の行アドレス信号RA0～RA9の全ての反転行アドレス信号/RRA0～/RRA9(インバータ103(0)～103(9)の出力)を受ける。第1のアンド回路104(1)は行アドレス信号“1000000000”を受けた時に“1”を出力するように行アドレス信号RA0を受けるとともに行アドレス信号RA1～RA9の反転行アドレス信号/RRA1～/RRA9(インバータ103(1)～103(9)の出力)を受ける。第1のアンド回路104(1022)は行アドレス信号“1111111110”を受けた時に“1”を出力するように行アドレス信号RA0～RA8を受けるとともに行アドレス信号RA9の反転行アドレス信号/RRA9(インバータ103(9)の出力)を受ける。第1のアンド回路104(1023)は行アドレス信号“1111111111”を受けた時に“1”を出力するように全ての行アドレス信号RA0～RA9を受け、

【0044】各第2のアンド回路105は対応の第1のアンド回路104からの出力を受けるとともに、行用救済回路12aからの対応のメモリセルアレイ分割部6に対する行置換信号RRCを置換信号バス13aを介して受け、各第2のアンド回路105は入力される行置換信号RRCが置換を意味していない時(この実施の形態

1では行置換信号RRCが“1”を示す)、入力される対応の第1のアンド回路104からの出力に応じた出力を選択信号バス11を介して出力し、入力される行置換信号RRCが置換を意味している時(この実施の形態1では行置換信号RRCが“0”を示す)、入力される対応の第1のアンド回路104からの出力に係らず一定の出力(この実施の形態1では“0”)を選択信号バス11を介して出力する。

【0045】ドライバ回路102は対応のメモリセルアレイ分割部6における複数のワード線WL0~WL1023に対応した昇圧回路106(0)~106(1023)によって構成される。各昇圧回路106は対応の第2のアンド回路105からの出力を受け、受けた対応の第2のアンド回路105からの出力が“1”を示すと電源電位Vccより高い電位(この実施の形態1では、 $V_{cc} + \alpha$ 、 α はメモリセルMCを構成するトランジスタTrのしきい値電圧Vth以上の値である)を対応のワード線WLに与えて活性化し、受けた対応の第1のアンド回路104からの出力が“0”を示すと接地電位GNDを対応のワード線WLに与えて非活性状態を維持させるものである。各昇圧回路105は一般に知られているようにN型のMOSTランジスタによって構成される。

【0046】なお、対応のメモリセルアレイ分割部6における複数のワード線WL0~WL1023に対応した第1及び第2のアンド回路104、105並びに昇圧回路106によってノーマル用行デコード回路100における対応のデコード回路部RD0~RD1023を構成している。

【0047】このようにDRAMの行デコーダ24a~24dを構成するノーマル用行デコード回路100における主回路100は、インバータ103(0)~103(9)、第1及び第2のアンド回路104(0)~104(1023)、105(0)~105(1023)とによって構成され、全て論理回路で構成されているため、各論理回路をマクロセルとして半導体基板1のランダムロジック形成領域4に形成される。この時、主回路100をメガセルとして扱い、メガセルとして半導体基板1のランダムロジック形成領域4に形成してもよい。また、DRAMの行デコーダ24a~24dを構成するノーマル用行デコード回路100におけるドライバ回路102は、この実施の形態1では、電源電位Vccより高い電位を扱っているため、半導体基板1のメモリ形成領域5に形成している。しかし、ドライバ回路102を論理回路によって構成できるため、半導体基板1のランダムロジック形成領域4に形成するようにしてもよい。

【0048】各リダンダンシー用行デコード回路200は図9に示すように主回路107とドライバ回路108とによって構成される。主回路107は対応のメモリセルアレイ分割部6に対するスペアロウ選択信号SRA0、SRA1に対応したインバータ109(0)、10

9(1)と対応のメモリセルアレイ分割部6における複数のリダンダンシー用ワード線RWL0~RWL3に対応した第1及び第2のアンド回路110(0)~110(3)、111(0)~111(3)とによって構成される。各インバータ109は対応のスペアロウ選択信号SRAを受け、入力されるスペアロウ選択信号SRAの反転スペアロウ選択信号/SRAを出力する。

【0049】複数の第1のアンド回路110(0)~110(3)はいずれか1つの第1のアンド回路110からの出力が“1”を出力するように、複数のスペアロウ選択信号SRAを受ける。例えば、第1のアンド回路110(0)はスペアロウ選択信号“00”を受けた時に“1”を出力するように複数のスペアロウ選択信号SRA0、RA1の反転スペアロウ選択信号/SRA0、/SRA1(インバータ109(0)、109(1)の出力)を受ける。第1のアンド回路110(1)はスペアロウ選択信号“10”を受けた時に“1”を出力するようにスペアロウ選択信号SRA0を受けるとともに反転スペアロウ選択信号/SRA(インバータ109(1)の出力)を受ける。第1のアンド回路110(2)はスペアロウ選択信号“10”を受けた時に“1”を出力するようにスペアロウ選択信号SRA1を受けるとともに反転スペアロウ選択信号/SRA0(インバータ109(0)の出力)を受ける。第1のアンド回路110(3)はスペアロウ選択信号“11”を受けた時に“1”を出力するように全てのスペアロウ選択信号SRA0、RA1を受ける。

【0050】各第2のアンド回路111は対応の第1のアンド回路110からの出力を受けるとともに、行用救済回路12aからの対応のメモリセルアレイ分割部6に対する反転行置換信号/RRCを置換信号バス13aを介して受ける。各第2のアンド回路111は、入力される反転行置換信号/RRCが置換を意味している時(この実施の形態1では反転行置換信号/RRCが“1”を示す)、入力される対応の第1のアンド回路110からの出力に応じた出力を選択信号バス11を介して出力し、入力される反転行置換信号/RRCが置換を意味していない時(この実施の形態1では反転行置換信号/RRCが“0”を示す)、入力される対応の第1のアンド回路110からの出力に係らず一定の出力(この実施の形態1では“0”)を選択信号バス11を介して出力する。

【0051】ドライバ回路108は対応のメモリセルアレイ分割部6における複数のリダンダンシー用ワード線RWL0~RWL3に対応した昇圧回路112(0)~112(3)によって構成される。各昇圧回路112は対応の第2のアンド回路111からの出力を受け、受けた対応の第2のアンド回路111からの出力が“1”を示すと電源電位Vccより高い電位(この実施の形態1では、 $V_{cc} + \alpha$ 、 α はリダンダンシー用メモリセルRMC

を構成するトランジスタ T_r のしきい値電圧 V_{th} 以上の値である)を対応のリダングンシー用ワード線RWLに与えて活性化し、受けた対応の第1のAND回路109からの出力が“0”を示すと接地電位GNDを対応のリダングンシー用ワード線RWLに与えて非活性状態を維持させるものである。各昇圧回路105は一般に知られているようにN型のMOSトランジスタによって構成され、上記した昇圧回路と同じ構成である。

【0052】なお、対応のメモリセルアレイ分割部6における複数のリダングンシー用ワード線RWLに対応した第1及び第2のAND回路109、110並びに昇圧回路111によってリダングンシー用行デコード回路101におけるリダングンシー用デコード回路部R RDを構成している。

【0053】このようにDRAMの行デコード24a～24dを構成するリダングンシー用行デコード回路101における主回路107は、インバータ109(0)、109(1)、第1及び第2のAND回路110(0)～110(3)、111(0)～111(3)とによって構成され、全て論理回路で構成されているため、各論理回路をマクロセルとして半導体基板1のランダムロジック形成領域4に形成される。この時、主回路107をメガセルとして扱い、メガセルとして半導体基板1のランダムロジック形成領域4に形成してもよい。また、DRAMの行デコード24a～24dを構成するリダングンシー用行デコード回路101におけるドライバ回路108は、この実施の形態1では、電源電位 V_{cc} より高い電位を扱っているため、半導体基板1のメモリ形成領域5に形成している。しかし、ドライバ回路108を論理回路によって構成できるため、半導体基板1のランダムロジック形成領域4に形成するようにしてもよい。

【0054】次に、図10ないし図11を用いてDRAMの制御手段10の一つを構成する列デコード25を説明する。図10において、25a～25dはそれぞれメモリセルアレイ分割部6a～6dに対応して設けられる列デコードである。各列デコード25はノーマル用メモリセルアレイ部20(メモリブロック21a～21h)に対するノーマル用列デコード回路300と列側リダングンシー用メモリセルアレイ部(リダングンシーメモリブロック)23に対するリダングンシー用列デコード回路400とを有する。

【0055】各ノーマル用列デコード回路300は列用救済回路12bからの対応のメモリセルアレイ分割部6における列置換信号CRCを置換信号バス13bを介して受けるとともに、列アドレス信号CA0～CA2を受け、入力された列置換信号CRCが置換を意味していない時に活性化され、入力された列アドレス信号CA0～CA2に基づいて対応のメモリセルアレイ分割部6におけるメモリブロック21a～21hにおけるゲート手段TG0～TG31に対して所定のメモリブロック21の

ビット線対BL、/BLを選択するためのビット線対選択信号を出力する。

【0056】各リダングンシー用列デコード回路400は列用救済回路12bからの対応のメモリセルアレイ分割部6における反転列置換信号/CRCを置換信号バス13bを介して受けるとともに、対応のメモリセルアレイ分割部6に対するスペアコラム選択信号SCAを受け、入力された反転列置換信号/CRCが置換を意味している時に活性化され、入力されたスペアロウ選択信号SCAに基づいて対応のメモリセルアレイ分割部6におけるリダングンシーメモリブロック23におけるリダングンシー用ゲート手段TG0～TG31に対してリダングンシーメモリブロック23のビット線対BL、/BLを選択するためのリダングンシー用ビット線対選択信号を選択信号バス11を介して出力する。

【0057】各ノーマル用列デコード回路100は図11に示すように複数の列アドレス信号CA0～CA2に対応したインバータ301(0)～302(2)と対応のメモリセルアレイ分割部6におけるメモリセルブロック21a～21hに対応した第1及び第2のAND回路302(0)～302(7)、303(0)～303(17)とによって構成される。

【0058】各第1のAND回路302は、入力される複数の列アドレス信号CA0～CA2が図12に示す列デコード真理値表に基づいた値になると“1”を出力するように、複数の列アドレス信号CA0～CA2を受け、例えば、第1のAND回路302(0)は列アドレス信号“000”を受けた時に“1”を出力するように複数の列アドレス信号CA0～CA2の全ての反転列アドレス信号/C A0～/C A2(インバータ301(0)～301(2)の出力)を受け、第1のAND回路302(1)は列アドレス信号“100”を受けた時に“1”を出力するように列アドレス信号CA0を受けるとともに列アドレス信号CA1、CA2の反転列アドレス信号/C A1、/C A2(インバータ301(1)、301(2)の出力)を受け、第1のAND回路302(6)は列アドレス信号“110”を受けた時に“1”を出力するように列アドレス信号CA0、CA1を受けるとともに列アドレス信号CA2の反転列アドレス信号/C A2(インバータ301(2)の出力)を受け、第1のAND回路302(7)は列アドレス信号“111”を受けた時に“1”を出力するように全ての列アドレス信号CA0～CA2を受け、

【0059】各第2のAND回路303は対応の第1のAND回路302からの出力を受けるとともに、列用救済回路12bからの対応のメモリセルアレイ分割部6に対する列置換信号CRCを置換信号バス13bを介して受け、各第2のAND回路303は入力される列置換信号CRCが置換を意味していない時(この実施の形態1では列置換信号RRCが“1”を示す)、入力される

対応の第1のAND回路302からの出力に応じた出力をビット線対選択信号として選択信号バス11を介して対応のメモリブロック21のゲート手段TG0~TG31に出力し、ゲート手段TG0~TG31の導通、非導通状態を制御し、入力される列置換信号CRCが置換を意味している時(この実施の形態1では列置換信号CRCが“0”を示す)、入力される対応の第1のAND回路302からの出力に係らず一定の出力(この実施の形態1では“0”)をビット線対選択信号として選択信号バス11を介して対応のメモリブロック21のゲート手段TG0~TG31に出力し、ゲート手段TG0~TG31を非導通状態に維持する。

【0060】なお、対応のメモリセルアレイ分割部6におけるメモリブロック21a~21hに対応した第1及び第2のAND回路302、303によってノーマル用列デコード回路300における対応のデコード回路部CD0~CD7を構成している。このようにDRAMの列デコード24a~24dを構成するノーマル用列デコード回路300は、インバータ301(0)~301(2)、第1及び第2のAND回路302(0)~302(7)、303(0)~304(7)とによって構成され、全て論理回路で構成されているため、各論理回路をマクロセルとして半導体基板1のランダムロジック形成領域4に形成される。この時、ノーマル用列デコード回路300をメガセルとして扱い、メガセルとして半導体基板1のランダムロジック形成領域4に形成してもよい。

【0061】各リダンダンシー用列デコード回路(リダンダンシー用デコード回路部RCD)400は、具体的回路構成を図示しないが、列用救済回路12bからの対応のメモリセルアレイ分割部6に対するスペアコラム選択信号SCA(リダンダンシーメモリブロック23を選択するためのリダンダンシーメモリブロック選択信号)と対応のメモリセルアレイ分割部6に対する反転列置換信号/CRCを置換信号バス13bを介して受け、リダンダンシー用ビット線対選択信号を選択信号バス11を介して出力する。

【0062】各リダンダンシー用列デコード回路400を構成するAND回路は、入力される反転列置換信号/CRCが置換を意味している時(この実施の形態1では反転列置換信号/CRCが“1”を示す)、入力される対応のスペアコラム選択信号SCAに応じた出力を選択信号バス11を介して対応のリダンダンシーメモリブロック23のゲート手段TG0~TG31に出力し、入力される反転列置換信号/CRCが置換を意味していない時(この実施の形態1では反転列置換信号/CRCが“0”を示す)、入力される対応のスペアコラム選択信号SCAからの出力に係らず一定の出力(この実施の形態1では“0”)を選択信号バス11を介して対応のリダンダンシーメモリブロック23のゲート手段TG0~

TG31に出力する。

【0063】このようにDRAMの列デコード25a~25dを構成するリダンダンシー用列デコード回路400はAND回路によって構成され、全て論理回路で構成されているため、各論理回路をマクロセルとして半導体基板1のランダムロジック形成領域4に形成される。この時、リダンダンシー用列デコード回路400をメガセルとして扱い、メガセルとして半導体基板1のランダムロジック形成領域4に形成してもよい。

【0064】このように構成されたDRAM内蔵ロジック半導体集積回路装置にあっては、従来一般に知られているように、DRAMとロジック間をバスで接続して大量のデータを高速に処理できるという効果を有する他、DRAMの制御回路を構成するリフレッシュカウンタを半導体基板のランダムロジック部に形成したため、レイアウトの自由度が向上するとともに、DRAM部分のサイズ(メモリ容量)にリフレッシュカウンタがほとんど影響を受けずに配置でき、結果としてチップサイズがあまり影響を受けないという効果を有する。さらに、DRAM部分からの出力データのビット数を変更、言い換えれば選択されるワード線の数を変更されようとも、リフレッシュカウンタの変更が容易であり、結果として変更に必要な期間が短いという効果を有する。

【0065】また、DRAMの制御回路を構成する行デコード及び列デコードにおける論理回路によって構成できる回路を半導体基板のランダムロジック部に形成したため、レイアウトの自由度が向上するとともに、DRAM部分のサイズ(メモリ容量)に行デコード及び列デコードがほとんど影響を受けずに配置でき、結果としてチップサイズがあまり影響を受けないという効果を有する。さらに、DRAM部分からの出力データのビット数を変更、言い換えれば選択されるワード線の数を変更されようとも、行デコード及び列デコードの変更が容易であり、結果として変更に必要な期間が短いという効果を有する。

【0066】なお、上記実施の形態1においては、行側リダンダンシー用メモリセルアレイ部22及び列側リダンダンシー用メモリセルアレイ部(リダンダンシーメモリブロック23)を備えたものとして説明したが、行側リダンダンシー用メモリセルアレイ部22で十分に対処出来るものであれば、リダンダンシーメモリブロック23を設けなくともよい。

【0067】実施の形態2。図13はこの発明の実施の形態2を示すものであり、上記した実施の形態1に対して次の点が相違するだけであり、その他の点については同様である。すなわち、上記した実施の形態1に示すものが、メモリセルアレイを第1ないし第4のメモリセルアレイ分割部6a~6dの4分割にしたものであるが、この実施の形態2においては、列方向(図示上下方向)に並んだ第1及び第3のメモリセルアレイ分割部6a、

6cを一体化するとともに、第2及び第4のメモリセルアレイ分割部6b、6dを一体化し、メモリセルアレイを2分割した点で相違する。

【0068】このように、この実施の形態2では、メモリセルアレイを2分割したことにより、第1及び第3のメモリセルアレイ分割部6a、6cにおける対応の列に配置されたビット線対BL、/BL及びリダンダンシー用ビット線対BL、/BLは接続され、第2及び第4のメモリセルアレイ分割部6b、6dにおける対応の列に配置されたビット線対BL、/BL及びリダンダンシー用ビット線対BL、/BLは接続される。その結果、対応の列に配置されるセンスアンプSA-N、SA-P、ゲート手段TG、イコライズ手段EQ、センス活性化手段TN、プルアップ活性化手段TPは共通化され、入出力線26及びアンプ27も共通化される。

【0069】また、上記した実施の形態1では、4つのメモリセルアレイ分割部6a~6dに対してそれぞれ図10及び図11に示す列デコーダ25a~25dを配置するが、この実施の形態2では、第1及び第3のメモリセルアレイ分割部6a、6cに対して図10及び図11に示す列デコーダ25を、第2及び第4のメモリセルアレイ分割部6b、6dに図10及び図11に示す列デコーダ25を配置すればよい。

【0070】さらに、この実施の形態2においては、第1及び第3のメモリセルアレイ分割部6a、6cにおけるワード線WLから1つのワード線を選択する必要があるため、各分割部6に対する行デコーダ24a、24cは、図7及び図8に示す行デコーダに対して第1及び第3のメモリセルアレイ分割部6a、6cの何れのワード線WLであるかを示す1ビット分のアドレス信号が増加される構成にすればよい。具体的には、図7に示す第1のアンド回路104を11入力、または第2のアンド回路105を3入力のアンド回路にし、追加された入力ノードにブロックを示す信号を入力すればよい。同様に、第2及び第4のメモリセルアレイ分割部6b、6dに対する行デコーダ24b、24dもされる。

【0071】また、さらに、この実施の形態2では、リフレッシュカウンタは第1及び第3のメモリセルアレイ分割部6a、6c、第2及び第4のメモリセルアレイ分割部6b、6dがそれぞれ一体化されるため、図5に示した回路と同様の構成であるものの段数を2倍にすればよい。その他の点については上記した実施の形態1と同様であり、図13において実施の形態1を示す図1と同一符号は同一または相当部分を示している。

【0072】このように構成されたDRAM内蔵ロジック半導体集積回路装置にあっても、上記した実施の形態1と同様の効果を奏する。また、実施の形態1及び実施の形態2から明らかなように、メモリ容量が同じであっても、出力データのビット数が異なる（実施の形態1では 32×4 、実施の形態2では 32×2 ）ものに設計変

更する場合でも、リフレッシュカウンタ、行デコーダ24、及び列デコーダ25における論理回路部分を半導体基板1のランダムロジック部4に形成しているため、設計変更に要する時間が非常に短くできるという効果を有する。

【0073】実施の形態3、図14はこの発明の実施の形態3を示すものであり、上記した実施の形態1に対して次の点が相違するだけであり、その他の点については同様である。すなわち、上記した実施の形態1に示すものが、メモリセルアレイを構成する4つのメモリセルアレイ分割部6a~6dをチップ（半導体基板1）の一侧（図1図示左側）に配置しているのに対して、この実施の形態3ではチップ（半導体基板1）の4隅にそれぞれ配置している点で相違するだけである。

【0074】このように構成されたDRAM内蔵ロジック半導体集積回路装置にあっても、上記した実施の形態1と同様の効果を奏する。また、実施の形態1及び実施の形態3から明らかなように、リフレッシュカウンタ、行デコーダ24、及び列デコーダ25における論理回路部分を半導体基板1のランダムロジック部4に形成しているため、メモリセルアレイを構成する4つのメモリセルアレイ分割部6a~6dをチップ（半導体基板1）の適当な位置に配置でき、レイアウトの自由度が向上するという効果を有する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1を示す構成図。

【図2】 この発明の実施の形態1におけるメモリセルアレイ分割部を示すブロック図。

【図3】 この発明の実施の形態1におけるメモリブロック21、23を示す回路図。

【図4】 メモリセルMCを示す回路図。

【図5】 この発明の実施の形態1におけるリフレッシュカウンタを示すブロック図。

【図6】 この発明の実施の形態1における行デコーダ24a~24dを示すブロック図。

【図7】 この発明の実施の形態1におけるノーマル用行デコーダ回路100を示すブロック図。

【図8】 この発明の実施の形態1におけるノーマル用行デコーダ回路100に対する行デコーダ真理値表を示す図。

【図9】 この発明の実施の形態1におけるリダンダンシー用行デコーダ回路200を示すブロック図。

【図10】 この発明の実施の形態1における列デコーダ25a~25dを示すブロック図。

【図11】 この発明の実施の形態1におけるノーマル用列デコーダ回路300を示すブロック図。

【図12】 この発明の実施の形態1におけるノーマル用列デコーダ回路300に対する列デコーダ真理値表を示す図。

【図13】 この発明の実施の形態2を示す構成図。

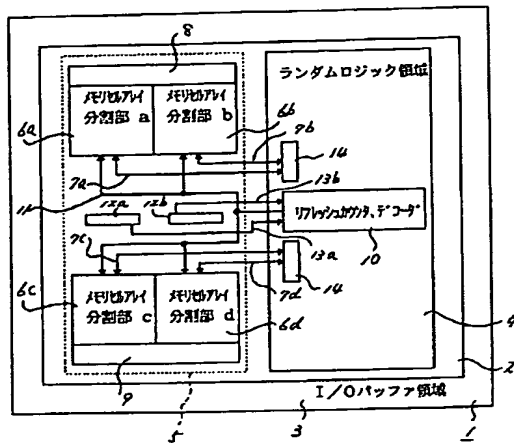
【図14】 この発明の実施の形態3を示す構成図。

【符号の説明】

1 半導体基板、2 中央領域、3 周辺領域、4 ランダムロジック形成領域、5 メモリ形成領域、6a～6d メモリアレイ、7a～7d I/Oバス、8 第

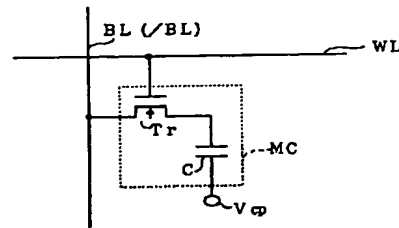
1の電圧発生回路、9 第2の電圧発生回路、10 制御回路、11 選択信号バス、12a、12b 救済回路、13a、13b 置換信号バス、14 入出力バッファ。

【図1】

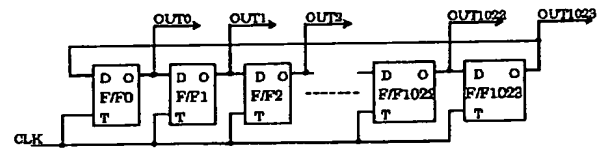


1 半導体基板、2 中央領域、3 周辺領域 (I/Oバッファ領域)
4 ランダムロジック形成領域、5 メモリ形成領域
6a～6d メモリアレイ、7a～7d I/Oバス
8 第1の電圧発生回路、9 第2の電圧発生回路、10 制御回路
11 選択信号バス、12a、12b 救済回路
13a、13b 置換信号バス、14 入出力バッファ

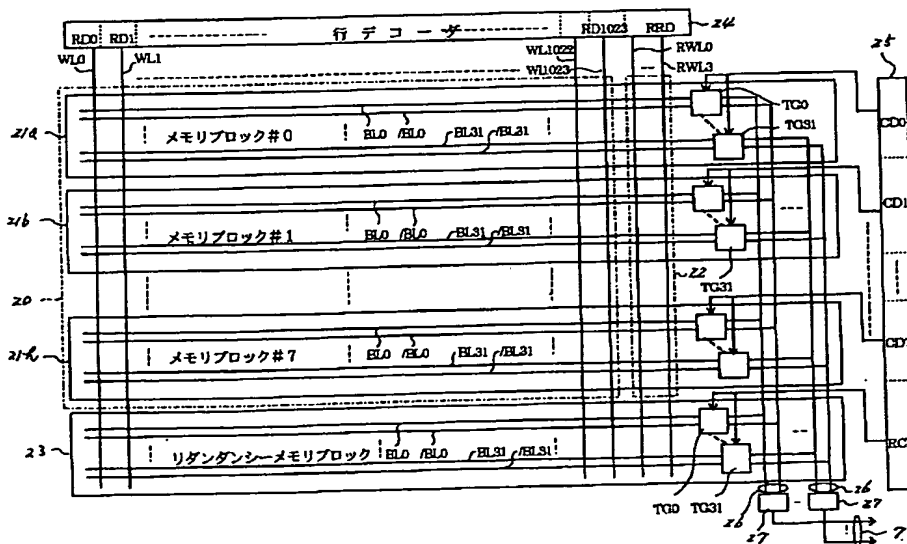
【図4】



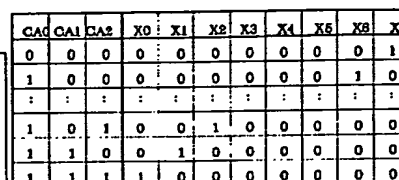
【図5】



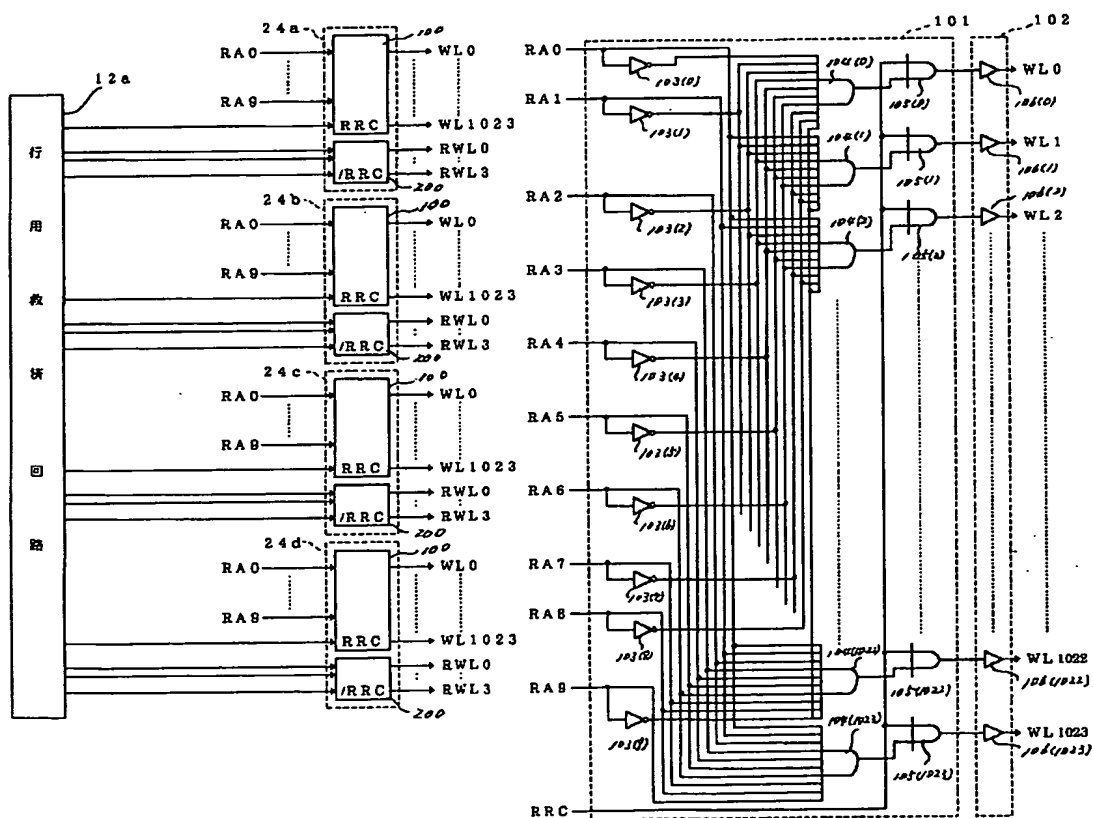
【図2】



【图 12】



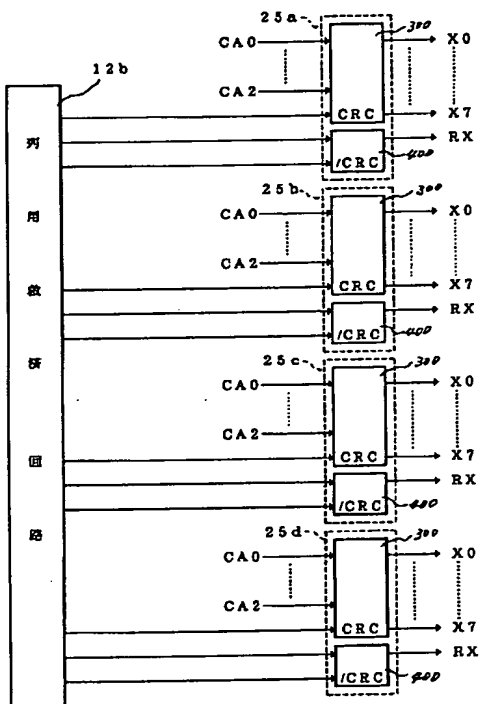
【図7】



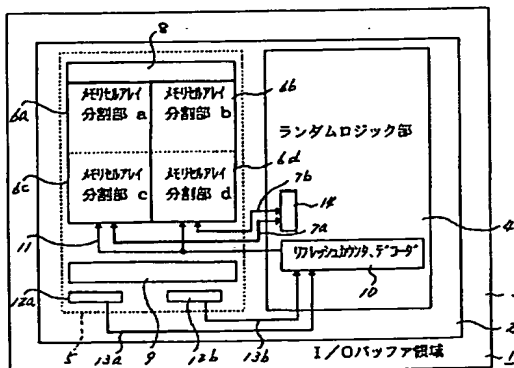
【図8】

RA0	RA1	RA2	RA3	RA4	RA5	RA6	RATRA8	RAS	WLO	WL1	WL1022	WL1023
0	0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	0	0	0	0	1	0
...
1	1	1	1	1	1	1	1	1	0	0	1	0
1	1	1	1	1	1	1	1	1	1	0	0	0

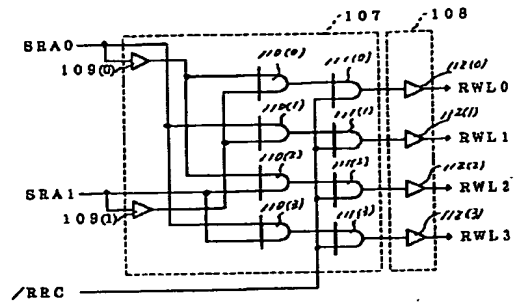
【図10】



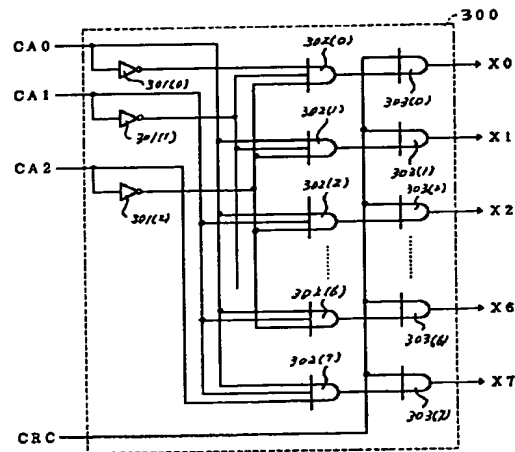
【図13】



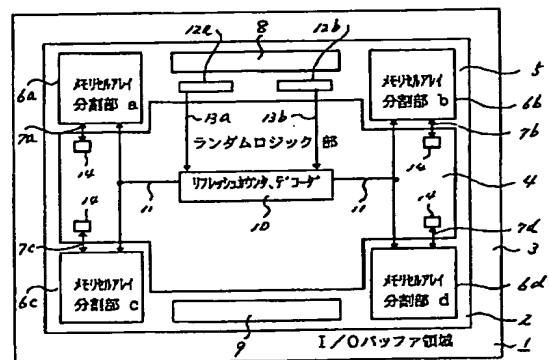
【図9】



【図11】



【図14】



(17)

特開平11-126476

フロントページの続き

(51)Int. Cl.⁶
H01L 21/8242

識別記号

FI	
G11C 11/34	371D
H01L 27/10	681E